

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Masatoshi ANMA	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: August 25, 2003	)	Confirmation No.: Unassigned
	)	
For: SEMICONDUCTOR DEVICE HAVING	)	
A ROUGHENED SURFACE	)	
ELECTRODE AND METHOD OF	)	
MANUFACTURING THE SAME	)	

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2002-244870

Filed: August 26, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

~~BURNS, DOANE, SWECKER & MATHIS, L.L.P.~~

By:

Platon N. Mandros  
Registration No. 22,124

Date: August 25, 2003

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月26日

出 願 番 号

Application Number:

特願2002-244870

[ ST.10/C ]:

[ JP2002-244870 ]

出 願 人

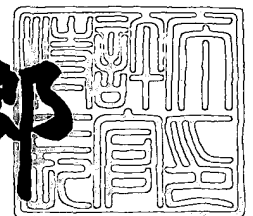
Applicant(s):

三菱電機株式会社

2002年 9月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3072883

【書類名】 特許願

【整理番号】 534379JP01

【提出日】 平成14年 8月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108  
H01L 27/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 安間 正俊

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 底部の平板部分とこの平板部から連続して立ち上がり一侧が開いた円筒部分とから形成された電極を備え、前記電極の表面が粗面化処理されかつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたことを特徴とする半導体装置。

【請求項 2】 前記電極の内側表面に沿って導電体膜が形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記円筒部分の内側を導電膜で埋めたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記電極の底部の平板部分が除去され、前記円筒部分の内側を導電膜で埋めたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 基板上に形成された層間絶縁膜に開口を形成する工程と、前記開口の内面に沿って凹型に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜の表面にシリコン成長核を形成する工程と、前記非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させる工程と、前記層間絶縁膜上の多結晶化シリコンを除去する工程と、前記層間絶縁膜を除去して円筒型粗面化電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内側表面に沿って凹型に導電体膜を形成する工程をさらに含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内面に沿って凹型に第二の非晶質シリコン膜を形成する工程と、前記第二の非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させる工程とをさらに含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】 前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内側に導電体を埋め込む工程をさらに含むことを特徴とする請求項 5 に記載

の半導体装置の製造方法。

【請求項 9】 前記非晶質シリコン膜の形成工程に続いて、前記非晶質シリコン膜の底部を除去する工程をさらに含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記マイグレーション工程の後で、前記多結晶化シリコン膜をシリコンエッチング薬液で処理することを特徴とする請求項 5 ～ 10 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、キャパシタ構造を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図 8 は、従来の半導体装置として DRAM 等のメモリデバイスにおける円筒型キャパシタ電極構造の要部を示す断面図である。

図 8 において、101 は下部のメモリセルトランジスタ等と接続するための導電性プラグ、102 はエッチングストッパー膜、103 は粗面化技術により表面積が拡大されたキャパシタ電極である。

【0003】

図 9 (a) ～ (h) は、図 8 に示した半導体装置の製造方法を示す断面図であって、図 8 ではキャパシタ電極 103 が 2 個配列された状態を示しているが、ここでは代表的にその内の 1 個のキャパシタ電極を形成する場合について説明する。

まず、図 9 (a) において、プラグ 101 の上のストッパー膜 102 上に層間膜 104 を堆積し、図 9 (b) において、層間膜 104 にドライエッチング法により開口 106 を形成する。次に、図 9 (c) において、開口 106 の内面を覆うように層間膜 104 の上に非晶質シリコン膜 107 を堆積する。そして、図 9 (d) において、層間膜 104 の上面に形成された非晶質シリコン膜 107 を除

去して凹型非晶質シリコン膜 1 0 8 となし、さらに、図 9 (e) において、層間膜 1 0 4 を除去して円筒型非晶質シリコン膜 1 0 9 を得る。

#### 【0 0 0 4】

次に、図 9 (f) において、円筒型非晶質シリコン膜 1 0 9 の上にシリコンをマイグレーションさせる際のシリコン成長核 1 1 0 を形成する。この際に、同図 (f) のストッパー膜 1 0 2 の右側部分に示すように、シリコン成長核 1 1 0 の密度が高い部位が発生することがある。この状態で、図 9 (g) において、非晶質シリコン膜をマイグレーションさせると、円筒型粗面化電極 1 1 1 が形成されると同時に、ストッパー膜 1 0 2 の上に粗面粒 1 1 2 が成長する。次に、図 9 (h) において、ドライエッチバック等でストッパー膜 1 0 2 上の粗面粒 1 1 2 を除去して最終的にキャパシタ電極 1 1 3 を得る。

#### 【0 0 0 5】

##### 【発明が解決しようとする課題】

ところで、従来の半導体装置の製造においては、図 9 (g) に示したように、ストッパー膜 1 0 2 に粗面粒 1 1 2 が成長したことによって、隣接するキャパシタ電極 1 1 3 の間で短絡が発生してしまうということがあった。そこで、キャパシタ電極 1 1 3 間のストッパー膜 1 0 2 上にシリコン成長核 1 1 0 が形成されるのを避けるために、高い選択成長性のある条件や環境でシリコン成長核 1 1 0 の形成を行うが、完全な選択性を得ることは困難であった。

#### 【0 0 0 6】

また、ストッパー膜 1 0 2 上の粗面粒 1 1 2 を除去するために、ドライエッチバックを行うと、キャパシタの容量を拡大させるために粗面にした粗面化電極 1 1 1 の表面がなだらかになり、キャパシタ下部電極としての面積拡大が図れないということがあった。

また、円筒型キャパシタ電極 1 1 3 の円筒内側への誘電体膜および対向電極のカバレッジが悪くなるのを避けるため、粗面粒の粒径を大きくできないということがあった。

また、キャパシタ電極の強度を確保するために、ピラー型キャパシタ構造をつくる場合において、従来技術では、ピラー型電極の形成後に粗面化を行うため、

ピラー型電極間に粗面粒が成長して、ピラー型電極の間に短絡が発生してしまうという場合があった。

また、電極材料の粗面化プロセスが比較的高温の処理を要するため、キャパシタ電極／プラグ間の界面抵抗および電極そのものの低抵抗化をメタル系の材料を用いて行うことが困難であった。

【 0 0 0 7 】

この発明は、このような従来の課題を解決するためになされたものであり、キャパシタ電極間の短絡の発生を防止することができる半導体装置およびその製造方法を提供することを目的とする。

また、円筒型キャパシタ電極において、円筒電極の内側への誘電体膜あるいは対向電極のカバレッジを確保することができる半導体装置およびその製造方法を提供することを目的とする。

また、円筒型（コンケイブ型）あるいは円柱型（ピラー型）のキャパシタ電極の物理的強度を向上させた半導体装置およびその製造方法を提供することを目的とする。

さらには、キャパシタ電極と接続プラグとの界面抵抗の低抵抗化を図り、あるいは、キャパシタ電極そのものの低抵抗化を図ることができる半導体装置およびその製造方法を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

この発明の請求項 1 にかかる半導体装置は、底部の平板部分とこの平板部から連続して立ち上がり一側が開いた円筒部分とから形成された電極を備え、前記電極の表面が粗面化処理されかつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたものである。

【 0 0 0 9 】

また、この発明による半導体装置は、請求項 1 にかかる半導体装置において、前記電極の内側表面に沿って導電体膜が形成されたものである。

【 0 0 1 0 】

また、この発明による半導体装置は、請求項 1 にかかる半導体装置において、



前記円筒部分の内側を導電膜で埋めたものである。

【 0 0 1 1 】

また、この発明による半導体装置は、請求項 1 にかかる半導体装置において、前記電極の底部の平板部分が除去され、前記円筒部分の内側を導電膜で埋めたものである。

【 0 0 1 2 】

また、この発明の請求項 5 にかかる半導体装置の製造方法は、基板上に形成された層間絶縁膜に開口を形成する工程と、前記開口の内面に沿って凹型に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜の表面にシリコン成長核を形成する工程と、前記非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させる工程と、前記層間絶縁膜上の多結晶化シリコンを除去する工程と、前記層間絶縁膜を除去して円筒型粗面化電極を形成する工程とを含むものである。

【 0 0 1 3 】

また、この発明による半導体装置の製造方法は、請求項 5 にかかる半導体装置の製造方法において、前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内側表面に沿って凹型に導電膜を形成する工程をさらに含むものである。

【 0 0 1 4 】

また、この発明による半導体装置の製造方法は、請求項 5 にかかる半導体装置の製造方法において、前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内面に沿って凹型に第二の非晶質シリコン膜を形成する工程と、前記第二の非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させる工程とをさらに含むものである。

【 0 0 1 5 】

また、この発明による半導体装置の製造方法は、請求項 5 にかかる半導体装置の製造方法において、前記マイグレーション工程に続いて、前記多結晶化シリコン膜の内側に導電体を埋め込む工程をさらに含むものである。

【 0 0 1 6 】

また、この発明による半導体装置の製造方法は、前項の半導体装置の製造方法において、前記非晶質シリコン膜の形成工程に続いて、前記非晶質シリコン膜の底部を除去する工程をさらに含むものである。

## 【 0 0 1 7 】

また、この発明による半導体装置の製造方法は、前記それぞれの半導体装置の製造方法において、前記マイグレーション工程の後で、前記多結晶化シリコン膜をシリコンエッチング薬液で処理するものである。

## 【 0 0 1 8 】

## 【発明の実施の形態】

まず、図 1 (a) ～ (d) を参照して、この発明の粗面化処理について説明する。

図 1 (a) において、201 は下地膜としてのシリコン膜、202 はシリコン膜 201 上に形成した非晶質シリコン膜であり、図 1 (b) において、203 は非晶質シリコン膜 202 の上面に形成したシリコン成長核であり、図 1 (c) において、204 は、高温処理することにより、粗面成長させるとともに多結晶化した粗面化シリコン膜である。この粗面化シリコン膜 204 では、非晶質シリコン膜 202 内でシリコン成長核 203 をもとにシリコンのマイグレーションを発生させるとき、好適には 750℃～800℃で、さらに好適には 770℃～800℃で高温処理することにより、成長核 203 の形成をした上面と反対側の裏面側の粗面の表面積を拡大させている。言い換えれば、粗面化シリコン膜 204 の下面の粗面粒径が上面の粗面粒径より大きくなっている。以上のように、この発明によれば、非晶質シリコン膜にマイグレーションを発生させるときに、好適には 750℃～800℃で、さらに好適には 770℃～800℃で高温処理することにより、マイグレーション核を形成した面の裏側の表面積を拡大することができる。図 1 (d) は比較のために示した従来例で、従来の粗面化処理では、粗面化シリコン膜 205 の核付けした上面が主として粗面化されている。

## 【 0 0 1 9 】

図 2 は、この発明を適用した粗面化円筒キャパシタ電極構造を有する半導体装置の一例を示す要部断面図である。

図 2 において、10 は半導体基板、11 はソース／ドレイン拡散層、12 はゲート絶縁膜、13 はゲート電極、14 は素子分離絶縁膜、15 はサイドウォール、16 はマスク絶縁膜、17 は層間絶縁膜、18 はビットラインコンタクト、19 はストレージノードコンタクト（導電性プラグ）であって、下部トランジスタとキャパシタ電極をつなぐ導電性プラグである。20 はストッパー膜、21 は第一の電極としてのキャパシタ電極（ストレージノード電極）であって、この発明により形成した粗面化された円筒型シリコン電極等である。22 はキャパシタ誘電体膜、23 は第二の電極としてのセルプレート電極である。

以下、この発明の実施の形態について、粗面化キャパシタ電極構造の半導体装置を例にとり、図に基づいて説明する。ここでは、半導体装置およびその製造方法として説明するが、粗面化電極（キャパシタ電極）の製造方法あるいはキャパシタ素子の製造方法として把握することもできる。

#### 【0020】

実施の形態 1.

図 3（a）～（f）は、この発明の実施の形態 1 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分のみを示す要部断面図である。

図 3（a）～（f）を参照してこの実施の形態 1 による半導体装置の製造方法、特に粗面化円筒型電極およびこれを用いたキャパシタの構造と製造方法を説明する。

まず、図 3（a）において、基板（図示せず）上で、下地の層間膜 317 中に下方のトランジスタ等の導電部（図示せず）とつながるプラグ状の導電体 301 を形成し、この導電体プラグ 301 の上にエッチングストッパー膜としてのシリコン窒化膜 302 を形成する。さらにその上にシリコン酸化膜からなる層間絶縁膜 303（略して層間膜という）を CVD 法等により形成する。その後に、ホトリソグラフィ技術およびドライエッチング技術を用いて、層間膜 303 を選択的に除去して開口 304 を形成する。さらに、開口 304 底部のエッチングストッパー膜 302 を除去して開口 304 が導電性プラグ 301 に達するようにする。

#### 【0021】

次に、図 3（b）に示すように、CVD 法により層間膜 303 の上に非晶質シ

リコン膜 3 0 5 を形成し、開口 3 0 4 の内面に沿って凹型に非晶質シリコン膜 3 0 5 が形成されるようにする。

次いで、図 3 (c) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、非晶質シリコン膜 3 0 5 の表面にシリコン成長核 3 0 6 を形成する。引き続き例えば 7 5 0℃ から 8 0 0℃ で熱処理を加えてシリコンをマイグレーションさせる。

このとき、7 5 0～8 0 0℃ の高温で処理することで、図 3 (d) に模式的に示すように、核付けした面の裏側までマイグレーションを発生させて、多結晶化させ、多結晶シリコン膜 3 0 7 を形成する。つまり、成長核 3 0 6 をもとに非晶質シリコンを、成長核を形成した面とは裏面側に当たる面のモホロジーが変化するまでマイグレーションさせる。これにより多結晶シリコン膜 3 0 7 は、上側ないし内側表面の表面粗さが小さく、下側ないし外側表面の表面粗さが大きく形成されることになる。

#### 【 0 0 2 2 】

次に、図 3 (e) に示すように、開口部 3 0 4 以外の、層間膜 3 0 3 上の多結晶シリコン膜 3 0 7 を CMP 法もしくはドライエッチング法により除去し、凹型あるいはコンケイブ型の多結晶シリコンの粗面化円筒 3 0 8 を形成する。

次に、図 3 (f) に示したように、層間膜 3 0 3 を気相もしくは液相のフッ酸を含む薬品で除去することにより、円筒型粗面化電極 3 0 9 を形成する。この円筒型粗面化電極 3 0 9 は、底部の平板部分 3 0 9 a とこの平板部分 3 0 9 a から連続して立ち上がり一側が開いた円筒部分 3 0 9 b とから形成されている。また、この円筒型粗面化電極 3 0 9 は、外側および内側の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されている。このように内側の表面粗さを小さめにするすることで、円筒内側に対して誘電体膜あるいは対抗電極を形成する場合のカバレッジの劣化を防ぐことができる。

#### 【 0 0 2 3 】

以上のように、本実施の形態では、電極材表面の粗面化処理時に層間膜 3 0 3 を残したままにしておくことで、従来のように選択的にシリコン成長核を形成するという対策を必要とすることなく、隣接するキャパシタ電極間での短絡を防止

できる。また、円筒型粗面化電極 3 0 9 の内側と外側においてその表面荒さを変えることができるため、円筒内側の表面荒さを小さくすることにより円筒内側の誘電体あるいは対向電極のカバレッジを確保しつつ、円筒外側の表面荒さを大きくすることによりキャパシタ容量の確保を図ることができる。

#### 【 0 0 2 4 】

なお、半導体製造工程としては、図 3 ( f ) に示した第一電極としての円筒型粗面化電極 3 0 9 の表面に誘電体膜を形成し、さらにその上に第二電極としての対向電極を形成して、これらにより容量素子を形成する。この構造と製法は、図 2 に示したとおりであり、従来の方法でよいので、詳細な説明は省略する。

#### 【 0 0 2 5 】

以上のように、この実施の形態では、円筒型の粗面化電極の形成において、電極材の円筒の内側から核付けするが、高温で粗面成長させることによって、円筒外側が凹凸になって、内側はつぶれて凹凸が少なくなり、外側粗面となっている円筒キャパシタ構造を形成することができる。

また、この実施の形態では、円筒型キャパシタ電極は、粗面成長核の形成を層間膜の除去前に行うことにより、円筒型キャパシタ電極の間に粗面粒が成長しないようにすることで、円筒型キャパシタ電極の間の短絡が発生しないようにすることができる。

#### 【 0 0 2 6 】

次に、この実施の形態の構造を要約して述べると以下のとおりである。

この実施の形態による粗面化電極は、図 3 ( e ) , ( f ) に示すように、底部の平板部分 3 0 9 a とこの平板部分 3 0 9 a から連続して立ち上がり一側が開いた円筒部分 3 0 9 b とから形成された粗面化電極（第一の電極） 3 0 9 であり、その電極の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたものである。

また、この実施の形態による容量素子は、上記のように形成された第一の電極 3 0 9 と、この第一の電極の内側表面からその円筒部分の外側表面に連続して形成された誘電体膜と、この誘電体膜を挟んで第一の電極と対向して形成された第二の電極とからなるものである。

また、この実施の形態による半導体装置の例としては、上記のような容量素子が、半導体基板上で下地の層間絶縁膜の上に形成され、この容量素子の第一の電極と、下地の層間絶縁膜の中に形成された導電性プラグとが接続されたものである。

#### 【 0 0 2 7 】

また、この実施の形態 1 の製造方法を要約して述べると以下のとおりである。

この実施の形態 1 による粗面化電極の製造方法は、まず、前段階として、基板の上で、下地の層間絶縁膜 3 1 7 中に導電性プラグ 3 0 1 を形成し、下地の層間絶縁膜 3 1 7 および導電性プラグ 3 0 1 の上にエッチングストッパー膜 3 0 2 を形成し、エッチングストッパー膜 3 0 2 の上に層間絶縁膜 3 0 3 を形成する。次に、層間絶縁膜 3 0 3 とエッチングストッパー膜 3 0 2 とを選択的に除去して導電性プラグ 3 0 1 に達する開口 3 0 4 を形成し（図 3（a），（b））、開口 3 0 4 の内面に沿って凹型に非晶質シリコン膜 3 0 5 を形成し（図 3（b））、非晶質シリコン膜 3 0 5 の表面にシリコン成長核 3 0 6 を形成し（図 3（c））、非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させて多結晶シリコン膜 3 0 7 を形成し（図 3（d））、層間絶縁膜 3 0 3 上の多結晶化シリコン膜 3 0 7 を除去し（図 3（e））、層間絶縁膜 3 0 3 を除去して円筒型粗面化電極 3 0 9 を形成する（図 3（f））ものである。

#### 【 0 0 2 8 】

実施の形態 2.

図 4（a）～（g）は、この発明の実施の形態 2 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分のみを示す要部断面図である。

図 4（a）～（g）を参照してこの実施の形態 2 による半導体装置の製造方法、特に粗面化円筒型電極およびこれを用いたキャパシタの構造と製造方法を説明する。

まず、図 4（a）において、下地の層間膜 4 1 7 中に下部の導電部（図示せず）とつながるプラグ状の導電体 4 0 1 を形成し、この導電体プラグ 4 0 1 の上にシリコン窒化膜（ストッパー膜） 4 0 2 を形成し、さらにその上にシリコン酸化膜からなる層間膜 4 0 3 を C V D 法等により形成する。その後に、ホトリソグラ

フィ技術およびドライエッチング技術を用いて層間膜 4 0 3 に開口 4 0 4 を形成する。さらに、開口 4 0 4 底部のエッチングストッパー膜 4 0 2 を除去して開口 4 0 4 が導電性プラグ 4 0 1 に達するようにする。

#### 【 0 0 2 9 】

次に、図 4 ( b ) に示すように、CVD 法により層間膜 4 0 3 の上に非晶質シリコン膜 4 0 5 を形成し、開口 4 0 4 の内面に沿って凹型に非晶質シリコン膜 4 0 5 が形成されるようにする。

次に、図 4 ( c ) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、シリコン成長核 4 0 6 を非晶質シリコン膜 4 0 5 上に形成する。引き続き、好適には  $750^\circ\text{C}$  から  $800^\circ\text{C}$  で、さらに好適には  $770^\circ\text{C}$  ～  $800^\circ\text{C}$  で熱処理を加えてシリコンをマイグレーションさせる。

このとき、好適には  $750 \sim 800^\circ\text{C}$ 、さらに好適には  $770^\circ\text{C}$  ～  $800^\circ\text{C}$  の高温で処理することで、図 4 ( d ) に模式的に示すように、核付けした面の裏側までマイグレーションを発生させて、多結晶化させ、多結晶シリコン膜 4 0 7 を形成する。つまり、成長核 4 0 6 をもとに非晶質シリコンを、成長核を形成した面とは裏面側に当たる面のモホロジーが変化するまでマイグレーションさせる。これにより多結晶シリコン膜 4 0 7 は、上側ないし内側の表面粗さが小さく、下側ないし外側の表面粗さが大きく形成されることになる。

#### 【 0 0 3 0 】

次に、図 4 ( e ) に示すように、シリコン膜 4 0 7 上にその凹型形状に沿って導電体膜 4 0 8 を形成する。導電体膜 4 0 8 としてはシリコン、窒化チタン／チタン積層膜、ルテニウム／窒化チタン／チタン積層膜、窒化タングステンもしくは窒化タングステン／窒化チタン／チタン積層膜などを用いる。多結晶シリコン膜 4 0 7 に導電体膜 4 0 8 を被膜することで、後に円筒化した時の強度を確保する。また、シリコン以外の材料を用いる場合には、誘電体膜形成プロセス時の電極酸化もしくは窒化による円筒内壁側誘電体膜の膜厚増加を抑制することができる。

#### 【 0 0 3 1 】

次に、図 4 ( f ) に示すように、開口部 4 0 4 以外の、層間膜 4 0 3 上のシリ

コン膜 4 0 7 および導電体膜 4 0 8 を CMP 法もしくはドライエッチング法により除去し、凹型粗面化円筒 4 0 9 を形成する。

次に、図 4 (g) に示したように、層間膜 4 0 3 を気相もしくは液相のフッ酸を含む薬品で除去することにより、円筒型粗面化電極 4 1 0 を形成する。この円筒型粗面化電極 4 1 0 は、底部の平板部分 4 0 9 a とこの平板部分 4 0 9 a から連続して立ち上がり一側が開いた円筒部分 4 0 9 b とから形成された粗面化円筒 4 0 9 と、その内側表面に沿って形成された導電体膜 4 0 8 を含んでいる。また、この円筒型粗面化電極 4 1 0 は、外側表面が粗面化処理され、かつその粗面粒径が大きく形成されている。

#### 【 0 0 3 2 】

このようにして、本実施の形態では、電極材表面の粗面化処理時に層間膜 4 0 3 を残したままにしておくことで、従来のように選択的にシリコン成長核を形成するという対策を必要とすることなく、隣接するキャパシタ電極間での短絡を防止できる。また、本実施の形態では、円筒型粗面化電極 4 1 0 の円筒内面に導電膜を被膜しているため、その機械的強度を増すことができる。さらに、円筒型粗面化電極 4 1 0 の外側の表面荒さを大きくすることによりキャパシタ容量の確保をすることができる。

#### 【 0 0 3 3 】

次に、この実施の形態の構造を要約して述べると以下のとおりである。

この実施の形態による粗面化電極は、図 3 (f) 'で示した粗面化電極（第一の電極）において、その内側表面に沿って導電体膜が形成されたものとして把握することができる。

また、この実施の形態による粗面化電極は、図 4 (f) , (g) に示すように、底部の平板部分 4 0 9 a とこの平板部分 4 0 9 a から連続して立ち上がり一側が開いた円筒部分 4 0 9 b とから形成された粗面化円筒 4 0 9 と、その内側表面に沿って被覆された導電体膜 4 0 8 とから形成された粗面化電極（第一の電極） 4 1 0 であり、その粗面化円筒 4 0 9 の底部平板部分 4 0 9 a と円筒部分 4 0 9 b の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたものである。



【 0 0 3 4 】

また、この実施の形態 2 の製造方法は、次のように把握することもできる。

この実施の形態 2 による粗面化電極の製造方法は、実施の形態 1 の製造方法において、前記マイグレーション工程に続き、前記多結晶化シリコン膜の除去工程に先立って、前記多結晶化シリコン膜の内側表面に沿って凹型に導電体膜を形成する工程をさらに含むものとして把握することができる。

【 0 0 3 5 】

実施の形態 3 .

図 5 ( a ) ～ ( i ) は、この発明の実施の形態 3 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分のみを示す要部断面図である。

図 5 ( a ) ～ ( i ) を参照してこの実施の形態 3 による半導体装置の製造方法、特に粗面化円筒型電極およびこれを用いたキャパシタの構造と製造方法を説明する。

まず、図 5 ( a ) において、下地の層間膜 5 1 7 中に下部の導電部（図示せず）とつながるプラグ状の導電体 5 0 1 を形成し、この導電体プラグ 5 0 1 の上にストッパー膜（シリコン窒化膜） 5 0 2 を形成し、さらにその上にシリコン酸化膜からなる層間膜 5 0 3 を C V D 法等により形成する。その後に、ホトリソグラフィ技術およびドライエッチング技術を用いて層間膜 5 0 3 に開口 5 0 4 を形成する。さらに、開口 5 0 4 底部のエッチングストッパー膜 5 0 2 を除去して開口 5 0 4 が導電性プラグ 5 0 1 に達するようにする。

【 0 0 3 6 】

次に、図 5 ( b ) に示すように、C V D 法により層間膜 5 0 3 の上に非晶質シリコン膜 5 0 5 を形成し、開口 5 0 4 の内面に沿って凹型に非晶質シリコン膜 5 0 5 が形成されるようにする。

次に、図 5 ( c ) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、シリコン成長核 5 0 6 を非晶質シリコン膜 5 0 5 上に形成する。引き続き、好適には 7 5 0 ℃ から 8 0 0 ℃ で、さらに好適には 7 7 0 ℃ ～ 8 0 0 ℃ で熱処理を加えてシリコンをマイグレーションさせる。

このとき、好適には 7 5 0 ～ 8 0 0 ℃、さらに好適には 7 7 0 ℃ ～ 8 0 0 ℃ の

高温で処理することで、図 5 (d) に示すように、核付けした面の裏側までマイグレーションを発生させて、多結晶化させ、多結晶シリコン膜 5 0 7 を形成する。つまり、成長核をもとに非晶質シリコンを、成長核を形成した面とは裏面側に当たる面のモホロジーが変化するまでマイグレーションさせる。これにより多結晶シリコン膜 5 0 7 は、上側ないし内側の表面の表面粗さが小さく、下側ないし外側の表面粗さが大きく形成されることになる。

## 【 0 0 3 7 】

次に、図 5 (e) に示すように、CVD 法により多結晶シリコン膜 5 0 7 の上にもういちど非晶質シリコン膜（第二の非晶質シリコン膜） 5 0 8 を形成する。この非晶質シリコン膜 5 0 8 は、多結晶シリコン膜 5 0 7 の形状に沿って凹型に形成されるようにする。

次いで、図 5 (f) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、非晶質シリコン膜 5 0 8 の表面に改めてシリコン成長核 5 0 9 を形成する。

引き続き図 5 (g) に示すように、700℃から790℃で熱処理を加えて非晶質シリコン膜 5 0 8 をマイグレーションさせて粗面化された膜 5 1 0 を形成する。但し、2 回目の非晶質シリコン膜 5 0 8 の粗面化温度は、核付けした面側の表面積が大きくなるよう、最初の非晶質シリコン膜 5 0 5 の粗面化温度より、粗面化温度を低めにする。

## 【 0 0 3 8 】

次に、図 5 (h) に示すように、開口部 5 0 4 以外の、層間膜 5 0 3 上の多結晶シリコン 5 1 0 を CMP 法もしくはドライエッチング法により除去し、凹型粗面化円筒 5 1 1 を形成する。

次に、図 5 (i) に示したように、層間膜 5 0 3 を気相もしくは液相のフッ酸を含む薬品で除去することにより、円筒型粗面化電極 5 1 2 を形成する。この円筒型粗面化電極 5 1 2 は、底部の平板部分 5 1 2 a とこの平板部分 5 1 2 a から連続して立ち上がり一側が開いた円筒部分 5 1 2 b とから形成されている。また、この円筒型粗面化電極 5 1 2 は、外側および内側の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されている。このように内側の表面粗さを小さめにするこ

いは対抗電極を形成する場合のカバレッジの劣化を防ぐことができる。

【 0 0 3 9 】

以上のように、本実施の形態では、電極材表面の粗面化処理時に層間膜 5 0 3 を残したままにしておくことで、従来のように選択的にシリコン成長核を形成するという対策を必要とすることなく、隣接するキャパシタ電極間での短絡を防止できる。

また、本実施の形態では、非晶質シリコンの粗面化を 2 層に行うことにより、円筒型粗面化電極 5 1 2 の内側と外側において、その表面荒さを変えることができるため、円筒内側の表面荒さを小さくすることにより円筒内側の誘電体あるいは対向電極のカバレッジを確保しつつ、円筒外側の表面荒さを大きくすることによりキャパシタ容量の確保をすることができる。

【 0 0 4 0 】

次に、この実施の形態 3 の製造方法は、次のように把握することもできる。

この実施の形態 3 による粗面化電極の製造方法は、実施の形態 1 の製造方法において、前記マイグレーション工程に続き、前記多結晶化シリコン膜の除去工程に先立って、前記多結晶化シリコン膜の内面に沿って凹型に第二の非晶質シリコン膜を形成する工程と、前記第二の非晶質シリコン膜を加熱処理してシリコンをマイグレーションさせ多結晶化させる工程とをさらに含むものとして把握することができる。

【 0 0 4 1 】

実施の形態 4 .

図 6 ( a ) ～ ( g ) は、この発明の実施の形態 4 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分のみを示す要部断面図である。

図 6 ( a ) ～ ( g ) を参照してこの発明の実施の形態 4 による半導体装置の製造方法、特に粗面化円柱型電極およびこれを用いたキャパシタの構造と製造方法を説明する。

まず、図 6 ( a ) において、下地の層間膜 6 1 7 中に下部の導電部（図示せず）とつながるプラグ状の導電体 6 0 1 を形成し、この導電体プラグ 6 0 1 の上にストッパー膜（シリコン窒化膜） 6 0 2 を形成し、さらにその上にシリコン酸化

膜からなる層間膜 6 0 3 を C V D 法等により形成する。その後に、ホトリソグラフィ技術およびドライエッチング技術を用いて層間膜 6 0 3 に開口 6 0 4 を形成する。さらに、開口 6 0 4 底部のエッチングストッパー膜 6 0 2 を除去して開口 6 0 4 が導電性プラグ 6 0 1 に達するようにする。

## 【 0 0 4 2 】

次に、図 6 ( b ) に示すように、C V D 法により層間膜 6 0 3 の上に非晶質シリコン膜 6 0 5 を形成し、開口 6 0 4 の内面に沿って凹型に非晶質シリコン膜 6 0 5 が形成されるようにする。

次に、図 6 ( c ) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、シリコン成長核 6 0 6 を非晶質シリコン膜 6 0 5 上に形成する。引き続き、好適には 7 5 0 °C から 8 0 0 °C で、さらに好適には 7 7 0 °C ~ 8 0 0 °C で熱処理を加えてシリコンをマイグレーションさせる。

このとき、好適には 7 5 0 ~ 8 0 0 °C、さらに好適には 7 7 0 °C ~ 8 0 0 °C の高温で処理することで、図 6 ( d ) に模式的に示すように、核付けした面の裏側までマイグレーションを発生させて、多結晶化させ、多結晶シリコン膜 6 0 7 を形成する。つまり、成長核をもとに非晶質シリコンを、成長核を形成した面とは裏面側に当たる面のモホロジーが変化するまでマイグレーションさせる。これにより多結晶シリコン膜 6 0 7 は、上側ないし内側の表面粗さが小さく、下側ないし外側の表面粗さが大きく形成されることになる。このように内側の表面粗さを小さめにするすることで、円筒内側に導電体を埋める場合のカバレッジをよくすることができる。

## 【 0 0 4 3 】

次に、図 6 ( e ) に示すように、多結晶シリコン膜 6 0 7 の上に、その開口 6 0 4 を埋めるように、導電体膜 6 0 8 を形成する。

次に、図 6 ( f ) に示すように、層間膜 6 0 3 上のシリコン膜 6 0 7 および導電体膜 6 0 8 を CMP 法もしくはドライエッチング法により除去する。このことにより、多結晶シリコン膜の凹型粗面化円筒 6 1 0 に導電体 6 0 9 を埋め込んだ、柱型あるいはピラー型の電極が形成される。

次に、図 6 ( g ) に示したように、層間膜 6 0 3 を気相もしくは液相のフッ酸

を含む薬品で除去することにより、ピラー型粗面化電極 6 1 1 を形成する。このように、凹型粗面化円筒 6 1 0 の円筒内側に導電体膜 6 0 9 を埋め込むことで物理的強度を高めることができる。また、シリコン以外の例えば金属系の導電体を導電体膜 6 0 8 として埋め込む場合には、ピラー型粗面化電極 6 1 1 の低抵抗化を図ることができる。

## 【 0 0 4 4 】

以上のように、本実施の形態では、電極材表面の粗面化処理時に層間膜 6 0 3 を残したままにしておくことで、従来のように選択的にシリコン成長核を形成するという対策を必要とすることなく、隣接するキャパシタ電極間での短絡を防止できる。また、ピラー型粗面化電極 6 1 1 の外側の表面荒さを大きくすることによりキャパシタ容量の確保をすることができる。また、本実施の形態では、凹型粗面化円筒 6 1 0 の内部に導電体 6 0 9 を充填することで、キャパシタ電極の物理的強度の向上、および電極の低抵抗化を図ることができる。

## 【 0 0 4 5 】

次に、この実施の形態の構造を要約して述べると以下のとおりである。

この実施の形態による粗面化電極は、図 3 ( f ) で示した粗面化電極（第一の電極）において、その円筒部分の内側を導電体膜で埋めたものとして把握することができる。

また、この実施の形態による粗面化電極は、図 6 ( f ) , ( g ) に示すように、底部の平板部分 6 1 0 a とこの平板部分 6 1 0 a から連続して立ち上がり一側が開いた円筒部分 6 1 0 b とを有する粗面化円筒 6 1 0 と、円筒部分 6 1 0 b の内側を埋めた導電膜部分 6 0 9 とから形成された粗面化電極（第一の電極） 6 1 1 であり、その粗面化円筒 6 1 0 の底部平板部分 6 1 0 a と円筒部分 6 1 0 b の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたものである。

また、この実施の形態による容量素子は、上記のように形成された第一の電極 6 1 1 と、この第一の電極の外側表面に形成された誘電体膜と、この誘電体膜を挟んで第一の電極と対向して形成された第二の電極とからなるものである。

また、この実施の形態による半導体装置の例としては、上記のような容量素子

が、半導体基板上で下地の層間絶縁膜の上に形成され、この容量素子の第一の電極と、下地の層間絶縁膜の中に形成された導電性プラグとが接続されたものである。

【 0 0 4 6 】

また、この実施の形態 4 の製造方法は、次のように把握することもできる。

この実施の形態 4 による粗面化電極の製造方法は、実施の形態 1 の製造方法において、前記マイグレーション工程に続き、前記多結晶化シリコン膜の除去工程に先立って、前記多結晶化シリコン膜の内側に導電体を埋め込む工程をさらに含むものとして把握することができる。

【 0 0 4 7 】

実施の形態 5.

図 7 ( a ) ～ ( h ) は、この発明の実施の形態 5 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分のみを示す要部断面図である。

図 7 ( a ) ～ ( h ) を参照してこの実施の形態 5 による半導体装置の製造方法、特に粗面化円柱型電極およびこれを用いたキャパシタの構造と製造方法を説明する。

まず、図 7 ( a ) において、下地の層間膜 7 1 7 中に下部の導電部（図示せず）とつながるプラグ状の導電体 7 0 1 を形成し、この導電体プラグ 7 0 1 の上にストッパー膜（シリコン窒化膜） 7 0 2 を形成し、さらにその上にシリコン酸化膜からなる層間膜 7 0 3 を C V D 法等により形成する。その後、ホトリソグラフィ技術およびドライエッチング技術を用いて層間膜 7 0 3 に開口 7 0 4 を形成する。さらに、開口 7 0 4 底部のエッチングストッパー膜 7 0 2 を除去して開口 7 0 4 が導電性プラグ 7 0 1 に達するようにする。

【 0 0 4 8 】

次に、図 7 ( b ) に示すように、C V D 法により層間膜 7 0 3 の上に非晶質シリコン膜 7 0 5 を形成し、開口 7 0 4 の内面に沿って凹型に非晶質シリコン膜 7 0 5 が形成されるようにする。

次に、図 7 ( c ) に示すように、非晶質シリコン膜 7 0 5 に対して異方性エッチングを行い、開口 7 0 4 の底部の非晶質シリコン膜 7 0 5 を除去し、開口 7 0

4 の側壁部の非晶質シリコン膜 7 0 5 が残るようにして、非晶質シリコン円筒 7 0 6 を形成する。

次に、図 7 (d) に示すように、例えば  $\text{Si}_2\text{H}_6$  等の Si を含むガスにより、シリコン成長核 7 0 7 を非晶質シリコン円筒 7 0 6 上に形成する。引き続き、好適には 7 5 0℃ から 8 0 0℃ で、さらに好適には 7 7 0℃ ～ 8 0 0℃ で熱処理を加えてシリコンをマイグレーションさせる。

このとき、好適には 7 5 0℃ ～ 8 0 0℃、さらに好適には 7 7 0℃ ～ 8 0 0℃ の高温で処理することで、図 7 (e) に模式的に示すように、核付けした面の裏側までマイグレーションを発生させて、多結晶化させ、多結晶シリコン円筒 7 0 8 を形成する。つまり、成長核をもとに非晶質シリコンを、成長核を形成した面とは裏面側に当たる面のモホロジーが変化するまでマイグレーションさせる。これにより多結晶シリコン円筒 7 0 8 は、内側表面の表面粗さが小さく、外側表面の表面粗さが大きく形成されることになる。このように内側の表面粗さを小さめにするすることで、円筒内側に導電体を埋める場合のカバレッジをよくすることができる。

#### 【 0 0 4 9 】

次に、図 7 (f) に示すように、層間膜 7 0 3 と多結晶シリコン円筒 7 0 8 の上に、多結晶シリコン円筒 7 0 8 の内側を埋めるように、導電体膜 7 0 9 を形成する。

次に、図 7 (g) に示すように、層間膜 7 0 3 上の導電体膜 7 0 9 を CMP 法もしくはドライエッチング法により除去する。このことにより、多結晶シリコンの粗面化円筒 7 1 1 に導電体 7 1 0 を埋め込んだ構造の電極が形成される。

#### 【 0 0 5 0 】

次に、図 7 (h) に示したように、層間膜 7 0 3 を気相もしくは液相のフッ酸を含む薬品で除去することにより、ピラー型粗面化電極 7 1 2 を形成する。このように、粗面化円筒 7 1 1 の円筒内側に導電体 7 1 0 を埋め込むことで物理的強度を高めることができる。また、シリコン以外の例えば金属系の導電体を導電体膜 7 0 9 として埋め込むことで、埋め込まれた導電体 7 1 0 と導電体プラグ 7 0 1 とが直接に接触させられるため、プラグ／電極間抵抗および電極そのものの低

抵抗化を図ることができる。

【 0 0 5 1 】

このようにして、本実施の形態では、電極材表面の粗面化処理時に層間膜 7 0 3 を残したままにしておくことで、従来のように選択的にシリコン成長核を形成するという対策を必要とすることなく、隣接するキャパシタ電極間での短絡を防止できる。また、ピラー型粗面化電極 7 1 2 の外側の表面荒さを大きくすることによりキャパシタ容量の確保をすることができる。また、本実施の形態では、粗面化円筒 7 1 1 の内部に導電体 7 1 0 を充填することで、キャパシタ電極の物理的強度の向上、電極の低抵抗化および下部プラグとキャパシタ電極間の抵抗の低下を図ることができる。

【 0 0 5 2 】

次に、この実施の形態の構造を要約して述べると以下のとおりである。

この実施の形態による粗面化電極は、図 3 ( f ) で示した粗面化電極 ( 第一の電極 ) において、その底部の平板部分が除去され、その円筒部分の内側を導電膜で埋めたものとして把握することができる。

また、この実施の形態による粗面化電極は、図 7 ( g ) , ( h ) に示すように、両側が開いた円筒部分 7 1 1 と、円筒部分 7 1 1 の内側を埋めた導電膜部分 7 1 0 とから形成された粗面化電極 ( 第一の電極 ) 7 1 2 であり、その電極の円筒部分 7 1 0 の表面が粗面化処理され、かつその外側表面の粗面粒径が内側表面の粗面粒径より大きく形成されたものである。

また、この実施の形態による容量素子は、上記のように形成された第一の電極 7 1 2 と、この第一の電極の外側表面に形成された誘電体膜と、この誘電体膜を挟んで第一の電極と対向して形成された第二の電極とからなるものである。

また、この実施の形態による半導体装置の例としては、上記のような容量素子が、半導体基板上で下地の層間絶縁膜の上に形成され、この容量素子の第一の電極と、下地の層間絶縁膜の中に形成された導電性プラグとが接続されたものである。

【 0 0 5 3 】

また、この実施の形態 5 の製造方法は、次のように把握することもできる。



この実施の形態 5 による粗面化電極の製造方法は、実施の形態 4 の製造方法において、前記非晶質シリコン膜の形成工程に続き、前記シリコン成長核の形成工程に先立って、前記非晶質シリコン膜の凹形状の底部を除去する工程をさらに含むものとして把握することができる。

#### 【 0 0 5 4 】

次に、本発明による粗面化電極の製造方法としては、上記実施の形態 1 ～ 5 において、非晶質シリコン膜をマイグレーションさせた後に、例えば  $\text{NH}_4\text{OH}$  水溶液等のシリコンをエッチングする作用のある薬液で処理するようにしてもよい。このように、シリコン膜表面をわずかにエッチングし、隣接粗面粒間の接触部を減らすことで、露出部を増し、更に粗面化された表面積を大きくすることができる。

#### 【 0 0 5 5 】

また、上記の実施の形態 1 ～ 5 においては、DRAM などキャパシタ素子を有する半導体装置の構造と製法を例として説明した。しかし、この発明は、粗面化電極の構造と製造方法として把握することができる。また、粗面化電極を有する容量素子の構造と製造方法として把握することもできる。その場合、半導体装置と称されるものを超えて広く電子デバイスに適用できるものである。

#### 【 0 0 5 6 】

##### 【発明の効果】

この発明に係る半導体装置およびその製造方法では、凹型ないし円筒型キャパシタ電極の場合、粗面成長核をもとにした電極材料の粗面化処理を、層間絶縁膜を残したまま行い、その後に層間絶縁膜を除去するようにしたので、キャパシタ電極間に粗面粒が残らず、従ってキャパシタ電極間の短絡を発生させないようにすることができる。

#### 【 0 0 5 7 】

この発明に係る半導体装置およびその製造方法では、凹型ないし円筒型キャパシタ電極の場合、円筒型の電極材料の内壁に核付けを行うが、粗面化処理の加熱温度を適宜に選択することにより、粗面粒は円筒外側の表面積が大きくなるように粗面成長させることで、円筒内側の凹凸に比べ、円筒外側の凹凸を大きくする

ことができる。これにより、円筒内側への誘電体膜あるいは対向電極のカバレッジを確保することができるとともに、円筒外側の表面粗さによりキャパシタ容量の確保をすることができる。

## 【 0 0 5 8 】

この発明に係る半導体装置およびその製造方法では、凹型ないし円筒型キャパシタ電極の場合、電極材料の粗面化処理により粗面を円筒外側に形成した後に円筒内側を導電体でコーティングすれば、筒型キャパシタの機械的強度を向上させることができる。

## 【 0 0 5 9 】

この発明に係る半導体装置およびその製造方法では、円柱型ないしピラー型キャパシタ電極の場合、円筒型の電極材料の粗面化処理を層間絶縁膜の除去前に行い、その後に円筒の内部を導電体で充填した後に層間絶縁膜を除去するので、キャパシタ電極間に粗面粒が残らず、従ってキャパシタ電極間の短絡を発生させないようにすることができる。

## 【 0 0 6 0 】

この発明に係る半導体装置およびその製造方法では、円柱型ないしピラー型キャパシタ電極の場合、円筒型の電極材料を粗面化処理した後に、円筒の内側を導電体で充填するので、円柱型キャパシタの機械的強度を向上させることができる。

## 【 0 0 6 1 】

また、この発明に係る半導体装置およびその製造方法では、円柱型ないしピラー型キャパシタ電極の場合、底面が開放した円筒型の電極材料に対して高温処理を要する粗面形成プロセスを行った後に、円筒の内側に金属系の導電体を充填するものでは、キャパシタ電極の低抵抗化が図れる。さらに、充填した導電体が接続用プラグに接するようにしたものでは、キャパシタ電極と接続用プラグとの界面抵抗の低抵抗化が図れる。

## 【 0 0 6 2 】

なお、以上では、キャパシタ電極を円筒型あるいは円柱型として説明したが、これは便宜上のことである。キャパシタ電極の水平断面は、普通は円形であると

しても、円形に限定されるものではなく、変形されていてもよい。従って、一般的には、筒形あるいは柱型として理解されるべきである。

また、以上に説明した本発明は、典型的にはキャパシタを有する D R A M などのメモリデバイスに適用されるものであるが、これに限られるものではない。

【図面の簡単な説明】

【図 1】 この発明の粗面化処理について説明するための断面図である。

【図 2】 この発明による粗面化円筒キャパシタ電極構造を有する半導体装置の一例を示す要部断面図である。

【図 3】 この発明の実施の形態 1 による半導体装置の製造方法を示す図であり、キャパシタ電極とその周辺部分を示す要部断面図である。

【図 4】 この発明の実施の形態 2 による半導体装置の製造方法を示す要部断面図である。

【図 5】 この発明の実施の形態 3 による半導体装置の製造方法を示す要部断面図である。

【図 6】 この発明の実施の形態 4 による半導体装置の製造方法を示す要部断面図である。

【図 7】 この発明の実施の形態 5 による半導体装置の製造方法を示す要部断面図である。

【図 8】 従来の半導体装置における円筒型キャパシタ電極構造の要部断面図である。

【図 9】 従来の半導体装置における円筒型キャパシタ電極構造の製造方法を示す要部断面図である。

【符号の説明】

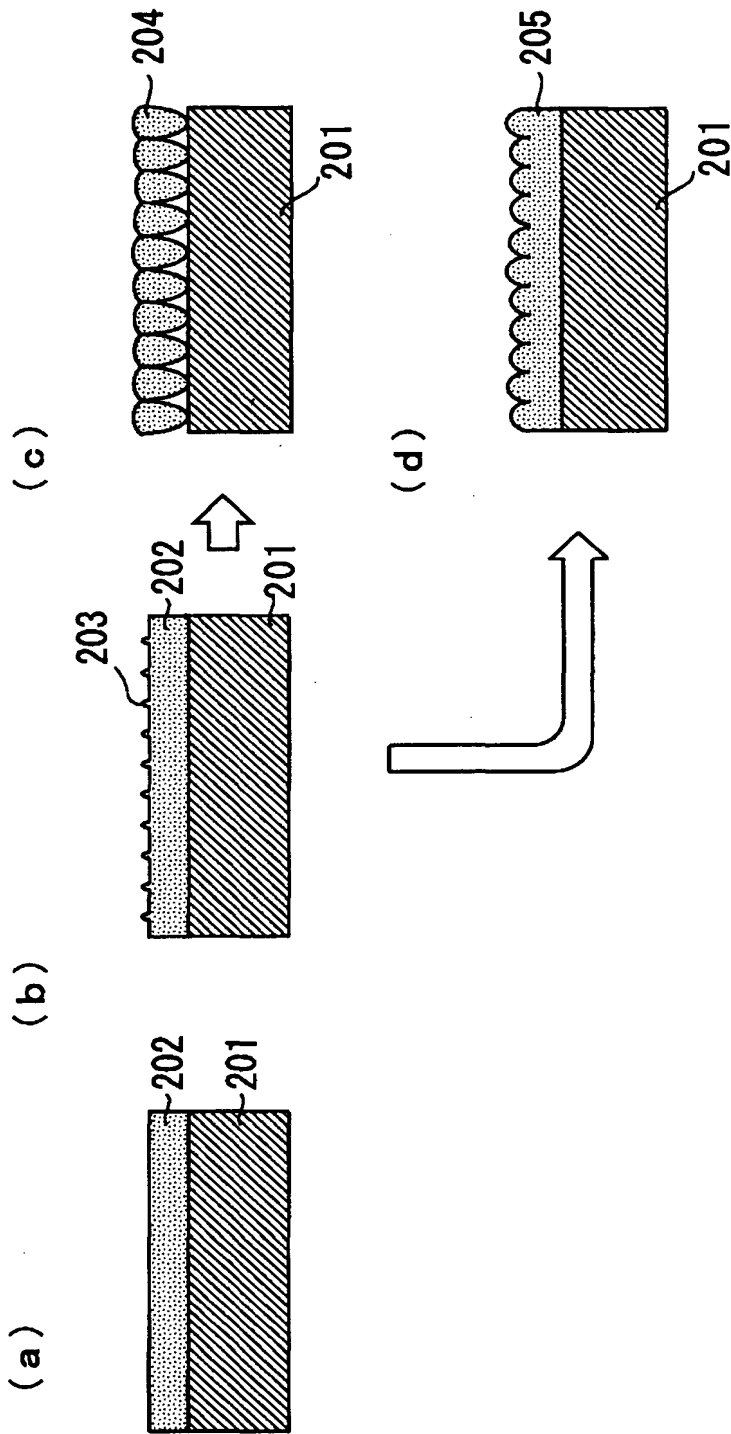
3 0 1, 4 0 1, 5 0 1, 6 0 1, 7 0 1 導電体プラグ、 3 0 2, 4 0 2, 5 0 2, 6 0 2, 7 0 2 ストッパー膜、 3 0 3, 4 0 3, 5 0 3, 6 0 3, 7 0 3 層間膜、 3 0 4, 4 0 4, 5 0 4, 6 0 4, 7 0 4 開口、 3 0 5, 4 0 5, 5 0 5, 5 0 8, 6 0 5, 7 0 5 非晶質シリコン膜、 3 0 6, 4 0 6, 5 0 6, 5 0 9, 6 0 6, 7 0 7 シリコン成長核、 3 0 7, 4 0 7, 5 0 7, 6 0 7, 7 0 8 多結晶シリコン膜、 3 0 8, 4 0 9, 5 1 1, 6

1 0, 7 1 1 凹型粗面化円筒、 3 0 9, 4 1 0, 5 1 2 円筒型粗面化電極、  
4 0 8, 6 0 8, 7 0 9 導電体膜、5 1 0 非晶質シリコン膜をマイグレーションさせて粗面化された膜、 6 0 9, 7 1 0 埋め込まれた導電体膜、  
6 1 1, 7 1 2 ピラー型粗面化電極、 7 0 6 非晶質シリコン円筒。

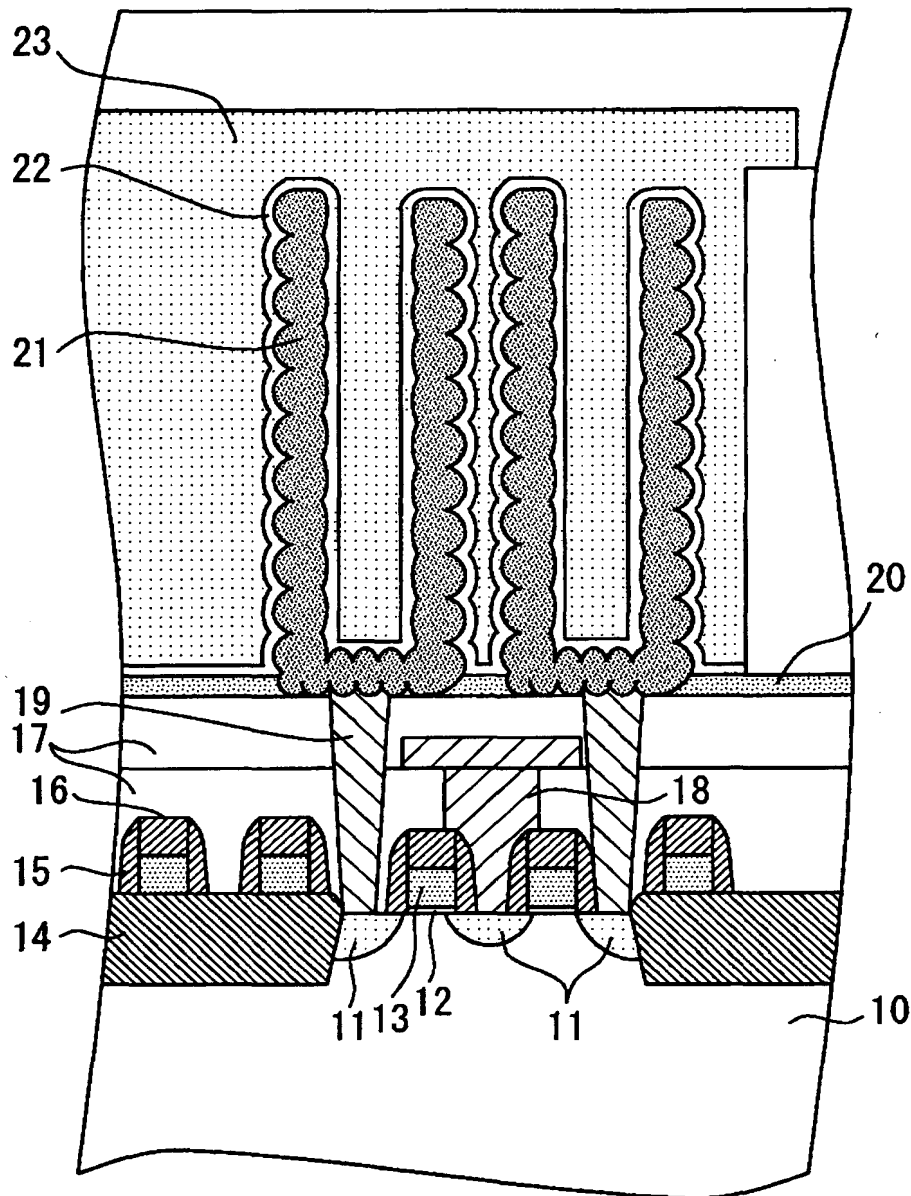
【書類名】

図面

【図 1】

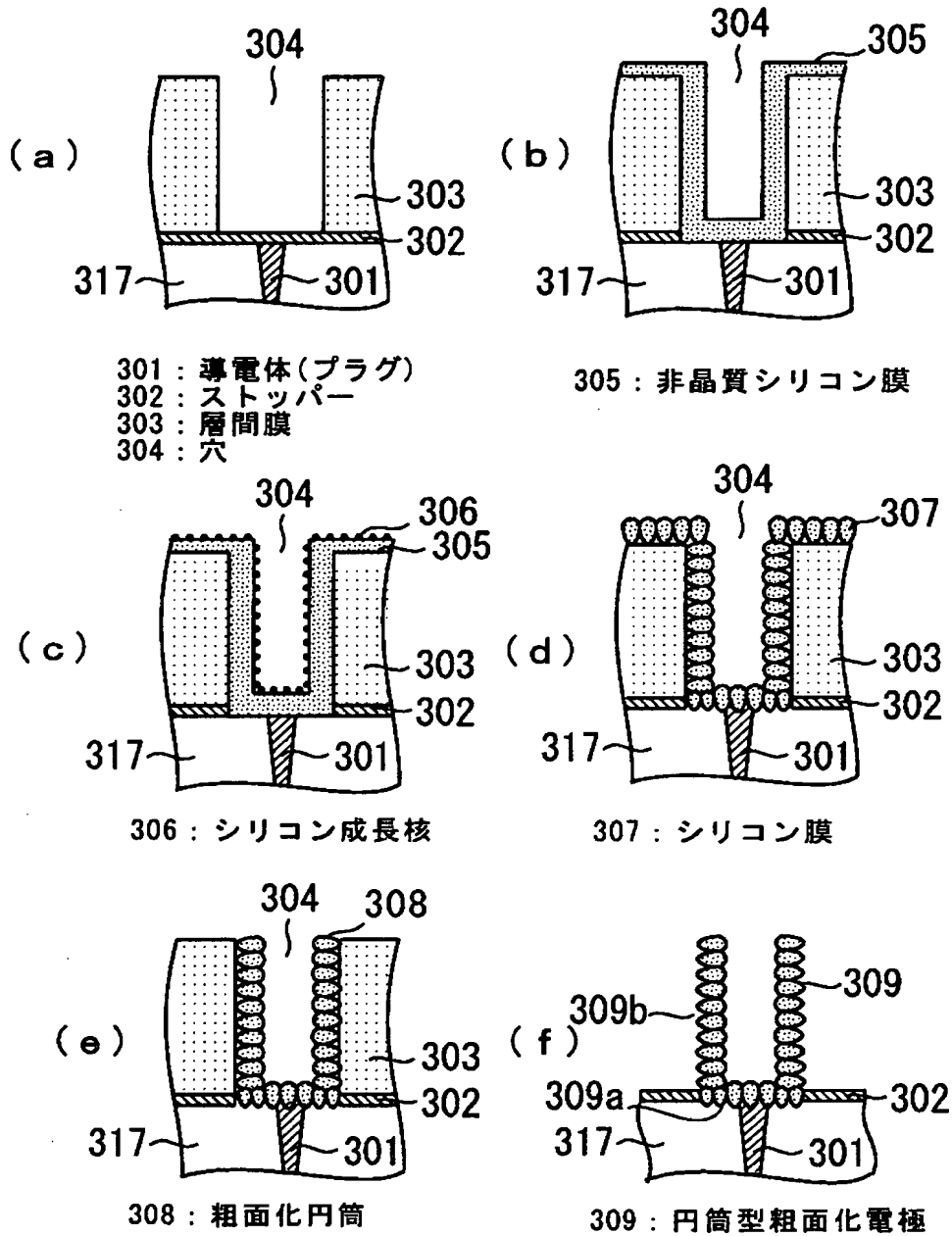


【図2】

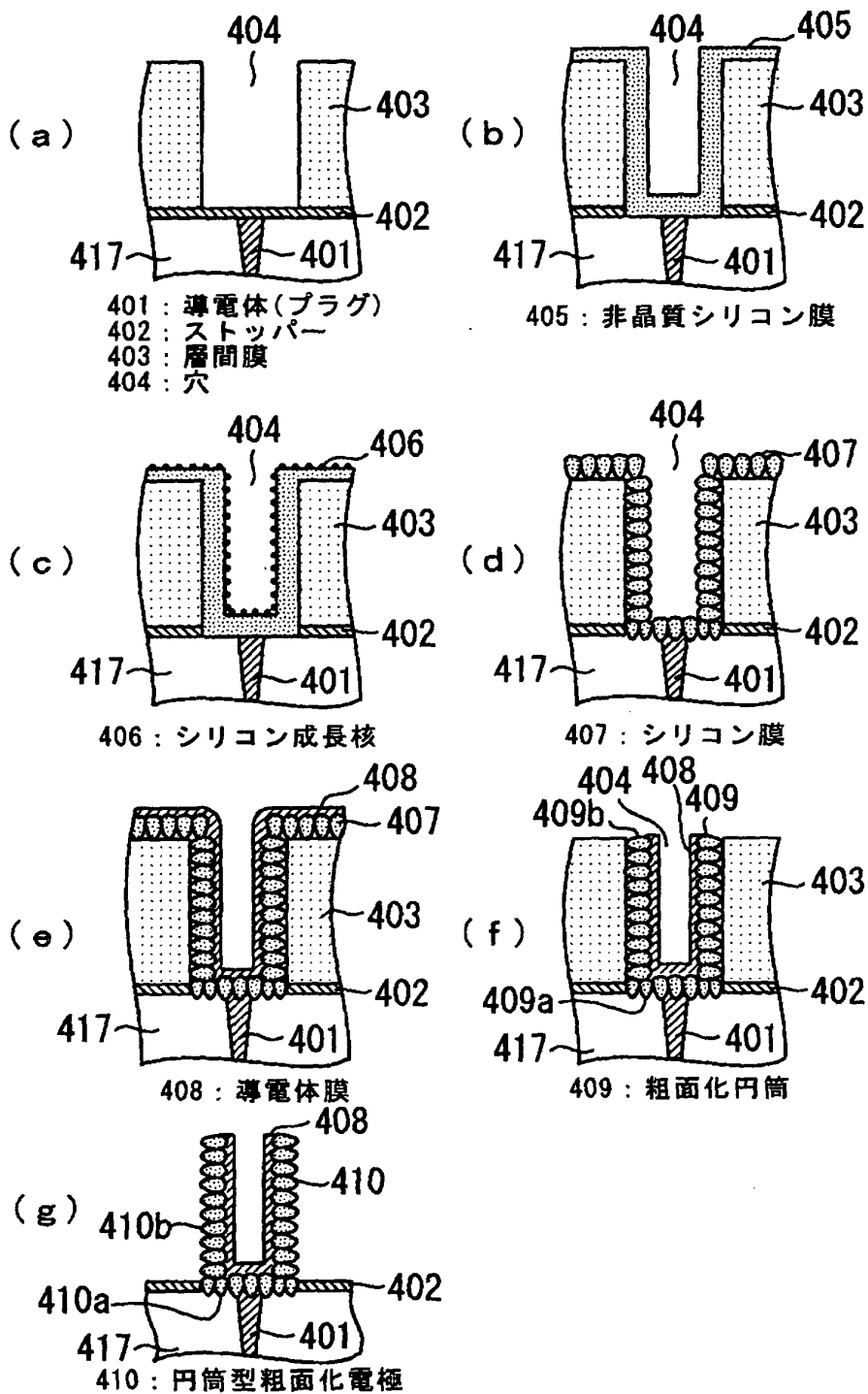


- |                 |                      |
|-----------------|----------------------|
| 10: 半導体基板       | 17: 層間絶縁膜            |
| 11: ソース/ドレイン拡散層 | 18: ビットラインコンタクト(プラグ) |
| 12: ゲート絶縁膜      | 19: ストレージノードコンタクトプラグ |
| 13: ゲート電極       | 20: ストッパー            |
| 14: 素子分離絶縁膜     | 21: ストレージノード電極       |
| 15: サイドウォール     | 22: キャパシタ誘電体膜        |
| 16: マスク絶縁膜      | 23: セルプレート電極         |

【図 3】

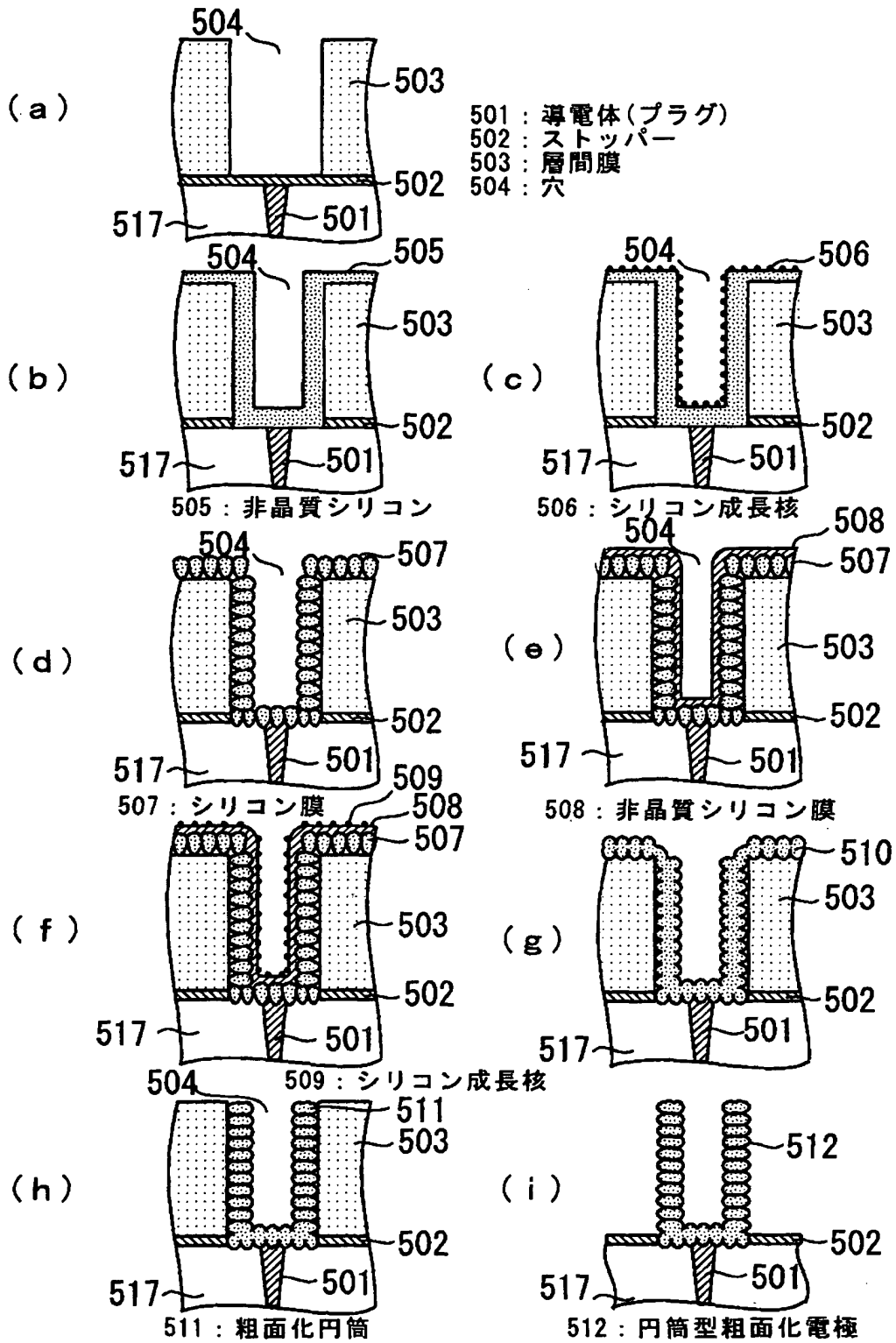


【図 4】

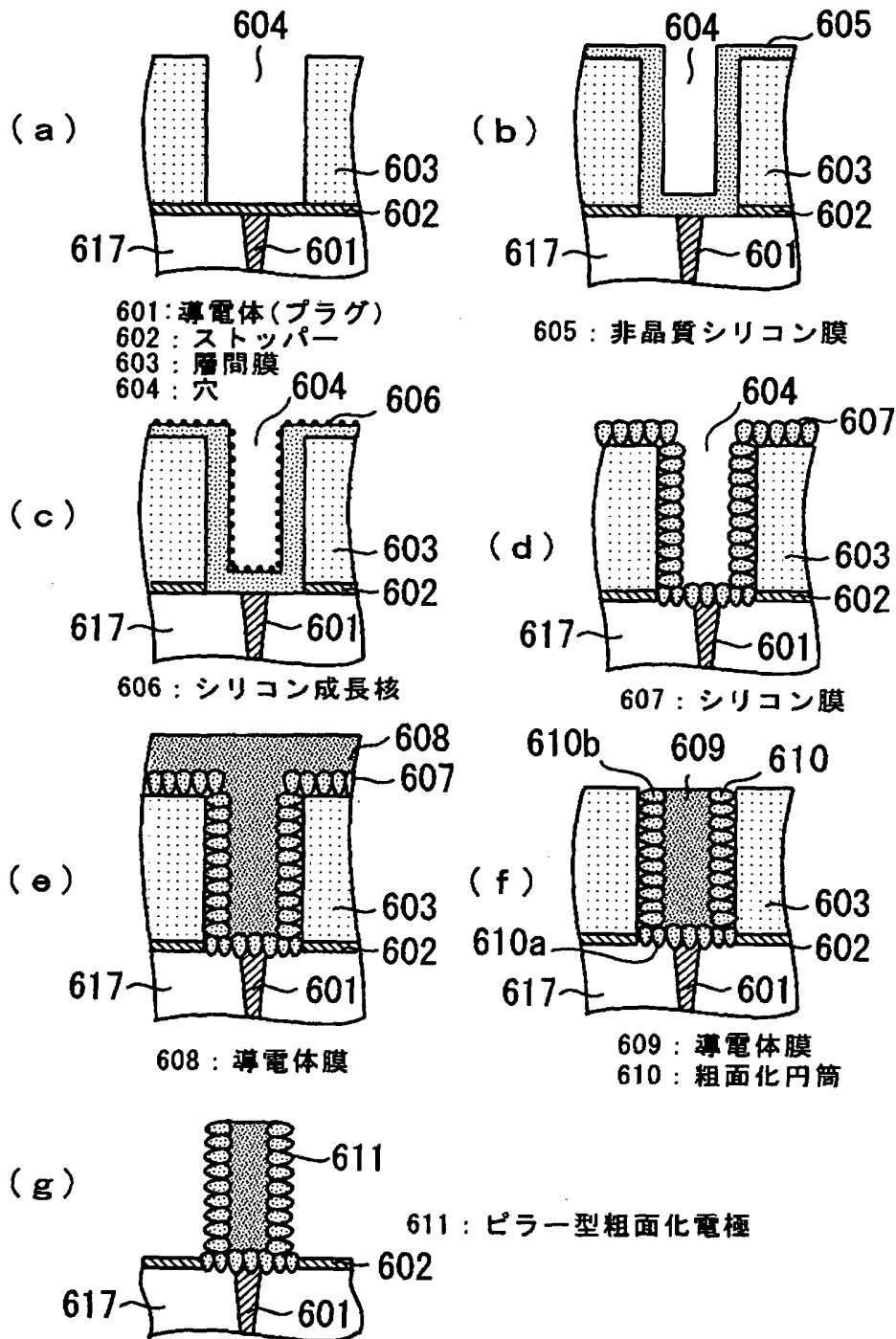




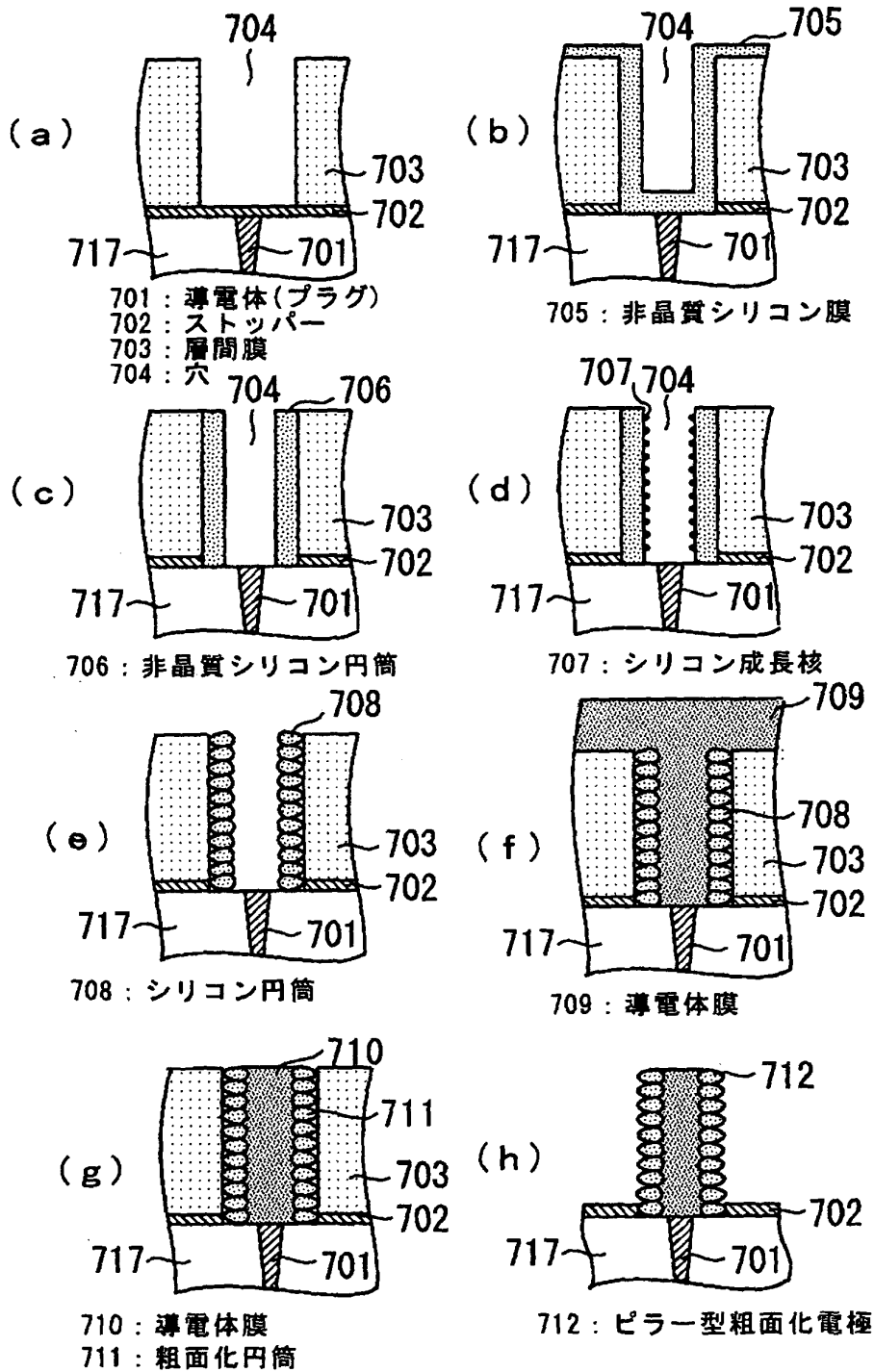
【図 5】



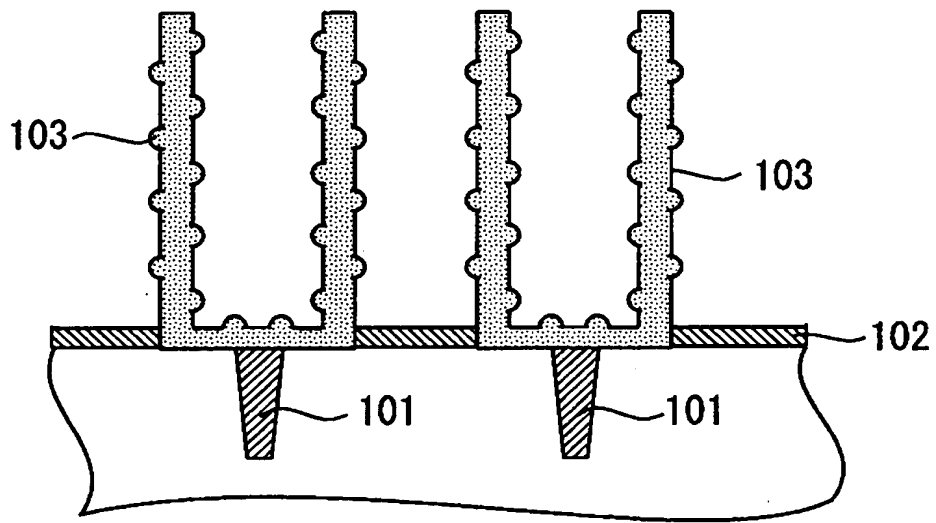
【図 6】



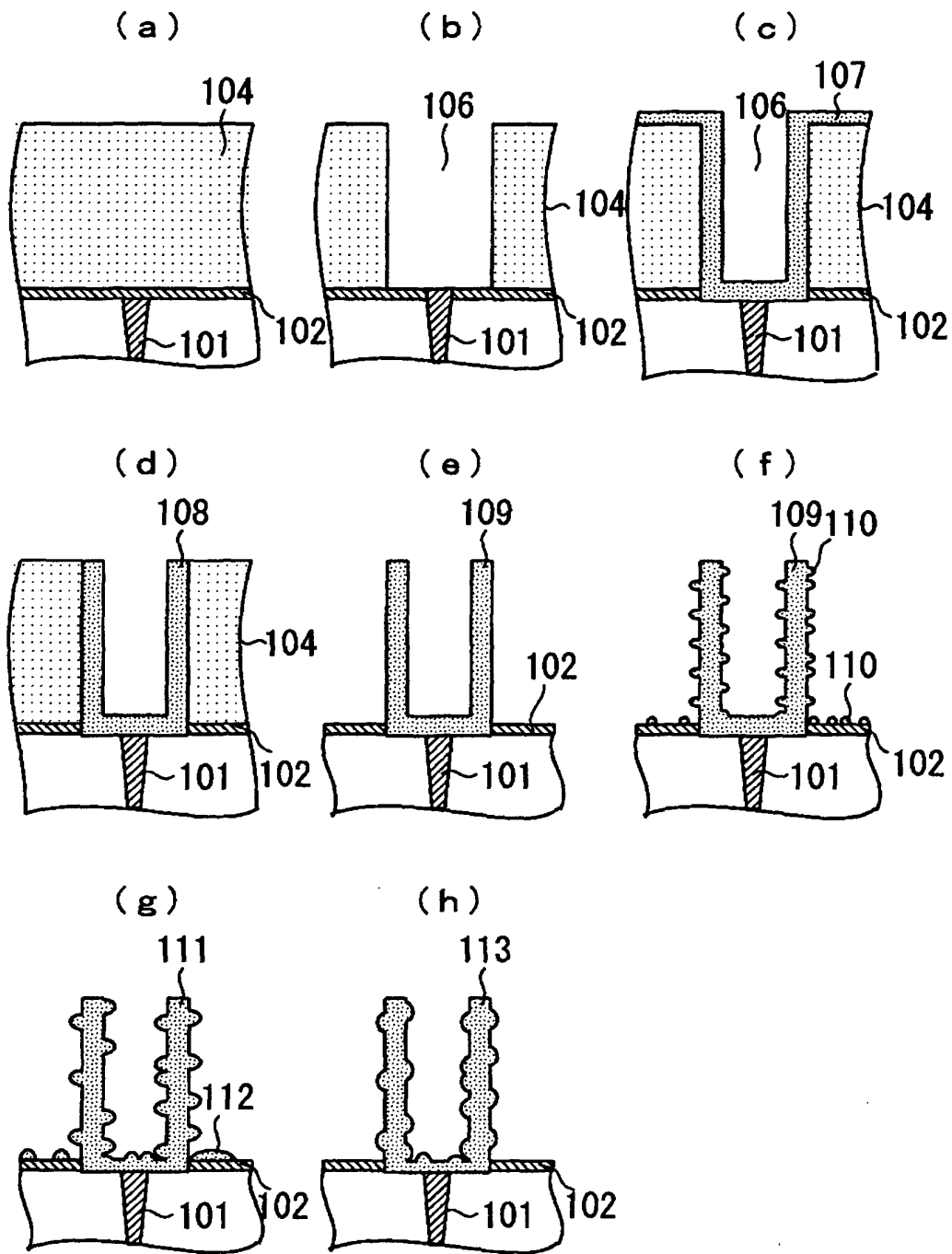
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 隣接するキャパシタ電極間の短絡の発生を防止できるキャパシタ電極の製造方法、並びに半導体装置およびその製造方法を得る。

【解決手段】 層間膜 3 0 3 に開口 3 0 4 を開け、この開口された層間膜 3 0 3 上に非晶質シリコン膜 3 0 5 を形成し、非晶質シリコン膜 3 0 5 上にシリコン成長核 3 0 6 を形成し、これを加熱処理してシリコン成長核形成面の裏面側の表面粗さが大きくなるように粗面化した多結晶化シリコン膜 3 0 7 を形成し、層間膜 3 0 3 の上面の多結晶化シリコン膜 3 0 7 を除去して凹型粗面化円筒 3 0 8 を形成し、層間膜 3 0 3 を除去して円筒型粗面化電極 3 0 9 を形成する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社